

PRODUCTION OF SEMICONDUCTOR DEVICE

Patent Number: JP4155932
Publication date: 1992-05-28
Inventor(s): HORIBA SHINICHI
Applicant(s): NEC CORP
Requested Patent: ☐ JP4155932
Application Number: JP19900282702 19901019
Priority Number(s):
IPC Classification: H01L21/336; H01L21/265; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To eliminate fluctuation of concentration profile of low concentration source drain diffused layer and stably control the size of gate length by obliquely implanting impurities to a low concentration source drain diffused layer using a gate electrode formed in an inverse trapezoidal form as a mask and then perpendicularly implanting impurities into a high concentration source drain diffused layer.

CONSTITUTION: A gate electrode 3 of an inverse trapezoidal form is formed as a first gate electrode by the anisotropic etching using a silicon oxide film 4 as a mask. Using this gate electrode 3 as a mask, a low concentration N type impurity diffused layer 5 is formed as a first source/drain diffused layer by implanting phosphorus ions in the implantation angle of 30 to 45 deg. from the perpendicular direction of the silicon substrate, while a wafer is rotating. Next, polycrystalline silicon film 6 is deposited and a side wall 7 of polycrystalline silicon is formed by anisotropic etching as a second gate electrode. Next, arsenic ions as the type impurities are implanted in the perpendicular direction of the surface of a P type silicon substrate 1 to form a high concentration N type impurity diffused layer 8 as the second source/drain diffused layer.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平4-155932

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)5月28日

H 01 L 21/336
21/265
29/7848422-4M H 01 L 29/78 3 0 1 L
7738-4M 21/265 L
7738-4M V

審査請求 未請求 請求項の数 2 (全5頁)

④ 発明の名称 半導体装置の製造方法

② 特 願 平2-282702

② 出 願 平2(1990)10月19日

⑦ 発 明 者 堀 場 信 一 東京都港区芝5丁目7番1号 日本電気株式会社内
⑦ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑦ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1. シリコン基板上にゲート酸化膜およびゲート電極となる導電性膜を順次形成する工程を含む半導体装置の製造方法において、

前記導電性膜上にエッチングおよびイオン注入のマスクとなるマスクパターンを形成する工程と、

前記マスクパターンを使い前記導電性膜の第一の電極形状を、ゲート絶縁膜と接するゲート電極下部のチャネル長方向の寸法がゲート電極上部のチャネル長方向の寸法より短くなるように形成する工程と、

前記シリコン基板表面に対して斜めに不純物を注入し第一のソースドレイン拡散層を形成する工程と、

前記シリコン基板上に前記導電性膜を堆積し異

方性エッチングにより前記ゲート電極の側壁に第二のゲート電極を形成する工程と、

前記シリコン基板表面に対し垂直に不純物を注入し第二のソースドレイン拡散層を形成する工程と

を含むことを特徴とする半導体装置の製造方法。

2. 請求項1に記載の半導体装置の製造方法において、

前記第二のゲート電極を形成する工程と、前記第二のソースドレイン拡散層を形成する工程との間に、前記第二のゲート電極を形成した後さらに絶縁膜を堆積し、異方性エッチングにより前記第二のゲート電極側面に前記絶縁物からなる側壁を形成する工程を設けた

ことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、LDD (Light Doped Drain) 構造を有するMOS電界効果トランジスタ (以下、MO

S F E Tという。) からの半導体装置の製造方法に利用する。

本発明は、特に、ゲート電極と低濃度ソースドレイン拡散層とをオーバーラップさせた構造のM O S F E Tからの半導体装置の製造方法に利用する。

〔概要〕

本発明は、L D D構造を有するM O S F E Tからの半導体装置の製造方法において、

始めに、ゲート電極をチャネル長方向に対して逆台形状に形成しておき、シリコン基板表面に対して斜めに不純物を注入して、低濃度の第一のソースドレイン拡散層を形成し、その後、ゲート電極を四角形状に形成し、あるいはさらに絶縁物からの側壁を形成し、シリコン基板表面に対して垂直に不純物を注入し、高濃度の第二のソースドレイン拡散層を形成することにより、

ゲート電極のチャネル長寸法を安定に制御できるようにしたものである。

次に、シリコン酸化膜4および側壁10をマスクとして多結晶シリコン膜3aをエッチングし、ゲート電極3を形成した後、ゲート電極3および側壁10をマスクとしヒ素のイオン注入を行い、高濃度N型不純物拡散層8が形成される。

この製造方法で、側壁10の幅をかえることにより、ゲート電極3と低濃度ソースドレイン拡散層である低濃度N型不純物拡散層5とのオーバーラップ寸法が制御される。

〔発明が解決しようとする課題〕

この従来の半導体装置の製造方法では、第3図(a)に示すように、多結晶シリコン膜3aが一定の膜厚分だけ残されるようにエッチングが行われるが、このエッチング後の膜厚は、ウェーハ面内、あるいはウェーハ間でばらつきが生じ制御することが困難であり、次に行われるイオン注入の注入深さに直接影響をおよぼし、低濃度ソースドレイン拡散層の濃度プロファイルのばらつきを引き起こすため、トランジスタ特性がばらついてしまう欠点がある。

〔従来の技術〕

従来、この種の半導体装置の製造方法としては、例えば、次のような製造方法がある(アイ・イー・ディ・エム・テクニカル・ダイジェスト742 ~ 745 頁、1986 (IEDM Tech Digest, P742 ~ 745 参照)。

まず、第3図(a)に示すように、P型シリコン基板1にゲート酸化膜2、ゲート電極形成用の多結晶シリコン膜3a、シリコン酸化膜4が順次形成される。次に、フォトレジストパターン11をマスクにして、シリコン酸化膜4をエッチングした後、続いて多結晶シリコン膜3aをエッチングするが、多結晶シリコン膜3aはすべてエッチングせずに一定の膜厚分だけ残しておく。

次に、この残した多結晶シリコン膜3aを通して、リンのイオン注入を行い、低濃度N型不純物拡散層5が形成される。

続いて、第3図(b)および(c)に示すように、全面にシリコン酸化膜9を堆積して、異方性エッチングによりエッチバックを行い、側壁10を形成する。

また、ゲート電極のL(長さ)寸法がマスク寸法(P R寸法)ではなくマスク寸法に側壁幅をたした値で決まるため、側壁幅のばらつきなどによりゲート電極のL寸法を制御しにくいことや、ゲート電極と低濃度ソースドレイン拡散層とのオーバーラップ寸法を側壁幅によって変えるとゲート電極のL寸法も同時に変わってしまう欠点があった。

本発明の目的は、前記の欠点を除去することにより、低濃度ソースドレイン拡散層の濃度プロファイルのばらつきをなくし、かつゲートL寸法をし安定に制御できる、L D D M O S F E Tからの半導体装置の製造方法を提供することにある。

〔課題を解決するための手段〕

本発明は、シリコン基板上にゲート酸化膜およびゲート電極となる導電性膜を順次形成する工程を含む半導体装置の製造方法において、前記導電性膜上にエッチングおよびイオン注入のマスクとなるマスクパターンを形成する工程と、前記マスクパターンを使い前記導電性膜の第一の電極形状

を、ゲート絶縁膜と接するゲート電極下部のチャンネル長方向の寸法がゲート電極上部のチャンネル長方向の寸法より短くなるように形成する工程と、前記シリコン基板表面に対して斜めに不純物を注入し第一のソースドレイン拡散層を形成する工程と、前記シリコン基板上に前記導電性膜を堆積し異方性エッチングにより前記ゲート電極の側壁に第二のゲート電極を形成する工程と、前記シリコン基板表面に対し垂直に不純物を注入し第二のソースドレイン拡散層を形成する工程とを含むことを特徴とする。

また、本発明は、請求項1に記載の半導体装置の請求項1記載の方法において、前記第二のゲート電極を形成する工程と、前記第二のソースドレイン拡散層を形成する工程との間に、前記第二のゲート電極を形成した後さらに絶縁膜を堆積し、異方性エッチングにより前記第二のゲート電極側面に前記絶縁物からなる側壁を形成する工程を設けたことができる。

ン基板1にゲート酸化膜2、多結晶シリコン膜3aおよびシリコン酸化膜4を順次形成する。次に、フォトリソistパターンをマスクにしてシリコン酸化膜4をエッチングした後、シリコン酸化膜4をマスクとして異方性エッチングにより、第一のゲート電極としての逆台形状のゲート電極3を形成する。このとき、ゲート電極3の上側に対する下側のくい込みは、片側で $0.15\mu\text{m}$ 前後が望ましい。

次に、ゲート電極3をマスクとしてイオン注入を行う。このイオン注入はN型不純物であるリン(P)イオンを低ドーズ量でゲート電極3下側のエッジ部分に入るように、イオン注入の角度をシリコン基板鉛直方向に対し $30\sim 45^\circ$ 程度傾けてウェーハを回転させながら、注入エネルギー $50\sim 100\text{KeV}$ 、注入量 $1\text{E}12\sim 1\text{E}14\text{cm}^{-2}$ 程度で打ち込む。これにより、第一のソースドレイン拡散層としての低濃度N型不純物拡散層5が形成される。

次に、第1図(b)に示すように、ウェーハ全面に多結晶シリコン膜6を堆積させる。

〔作用〕

低濃度の第一のソースドレイン拡散層は、逆台形状に形成されたゲート電極をマスクとし、シリコン基板表面に対して斜めに不純物を注入することで形成される。そして、これらはそれぞれ安定に精度よく形成することができる。また、高濃度の第二のソースドレイン拡散層は、逆台形のゲート電極を四角形状に形成し、またはさらに絶縁物の側壁を形成した後で、シリコン基板表面に対して不純物を垂直に注入することで得られるので、第一のソースドレイン拡散層とのオーバーラップを安定に精度よく制御できる。

従って、ゲート電極のL寸法を安定に精度よく制御することが可能となる。

〔実施例〕

以下、本発明の実施例について図面を参照して説明する。

第1図(a)~(d)は本発明の第一実施例の主要製造工程における半導体チップの模式的断面図である。

はじめに、第1図(a)に示すように、P型シリコ

次に、第1図(c)に示すように、異方性エッチングによりエッチバックを行い、第二のゲート電極としての多結晶シリコンによる側壁7を形成する。

次に、第1図(d)に示すように、P型シリコン基板1を表面に対して垂直にN型不純物であるヒ素(As)イオンを高ドーズ量で注入し、高濃度第二のソースドレイン拡散層としての高濃度N型不純物拡散層8を形成する。以上によりLDD構造のFETが形成される。

ここで、ゲート電極と電極濃度N型不純物拡散層とのオーバーラップの寸法は、低濃度N型不純物拡散層形成のための注入角度によって制御される。

第2図(a)~(d)は本発明の第二実施例の主要工程における半導体チップの模式的断面図である。

本第二実施例では、第2図(c)に示すように、前述の第一実施例の多結晶シリコンによる側壁7の形成後さらにシリコン酸化膜9を堆積する。

続いて、第2図(d)に示すように、異方性エッチングによりシリコン酸化膜9をエッチバックし側

壁10を形成し、P型シリコン基板1表面に対して垂直にN型不純物であるヒ素(As)イオンを高ドーズ量で注入し、高濃度N型不純物拡散層8を形成する。

本第二実施例では、低濃度不純物拡散層とゲート電極とのオーバーラップ量だけでなく、さらに、高濃度不純物拡散層とゲート電極や低濃度不純物拡散層との距離を制御することができる。

なお、この第二実施例では、酸化膜を側壁として用いたが、窒化膜等でも同様の効果を得ることができる。

〔発明の効果〕

以上説明したように、本発明は、制御の難しい工程を含まず、安定したプロセスでゲート電極と低濃度不純物拡散層とのオーバーラップ寸法を制御できるため、拡散層の濃度プロファイルのばらつきはほとんどなく、安定した濃度プロファイルを得ることができ、さらに、ゲート電極と低濃度不純物拡散層とのオーバーラップ寸法を変えることによるゲート電極L寸法の変化もなく、ゲート

電極L寸法を安定に制御できる効果がある。

4. 図面の簡単な説明

第1図(a)~(d)は本発明の第一実施例の主要工程における半導体チップの模式的断面図。

第2図(a)~(d)は本発明第二実施例の主要工程における半導体チップの模式的断面図。

第3図は従来例の主要工程における半導体チップの模式的断面図。

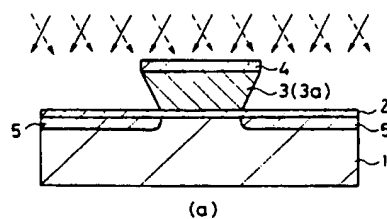
1…P型シリコン基板、2…ゲート酸化膜、3…ゲート電極、3a、6…多結晶シリコン膜、4、9…シリコン酸化膜、5…低濃度N型不純物拡散層、7、10…側壁、8…高濃度N型不純物拡散層、11…フォトリソistパターン。

特許出願人 日本電気株式会社

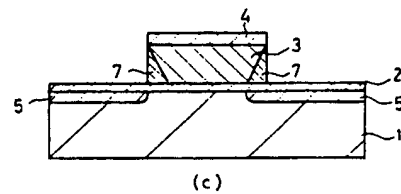
代理人 弁理士 井出直孝

1: P型シリコン基板
2: ゲート酸化膜
3: ゲート電極
3a, 6: 多結晶シリコン膜

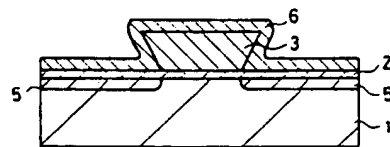
4: シリコン酸化膜
5: 低濃度N型不純物拡散層
7: 側壁
8: 高濃度N型不純物拡散層



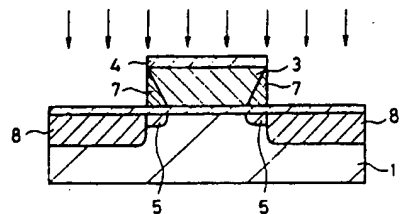
(a)



(c)



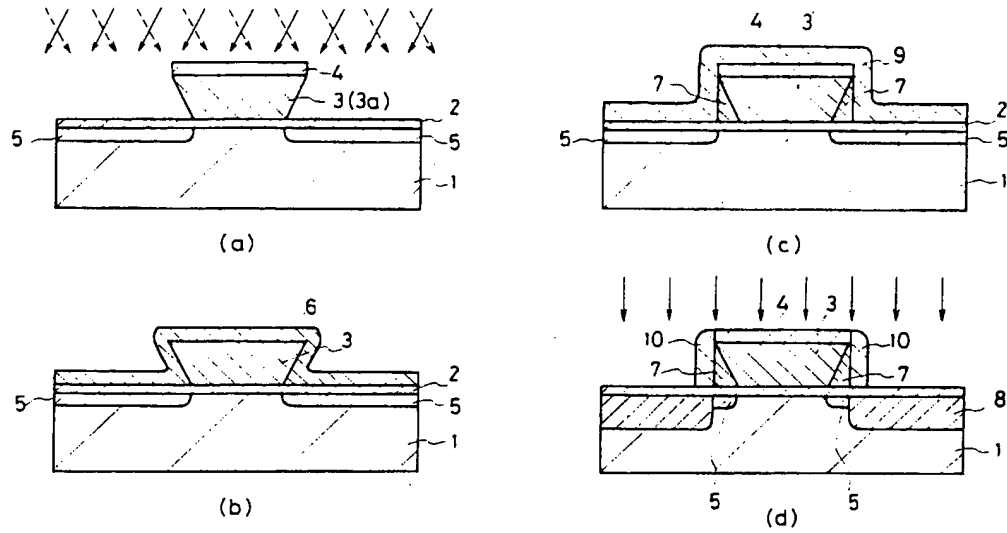
(b)



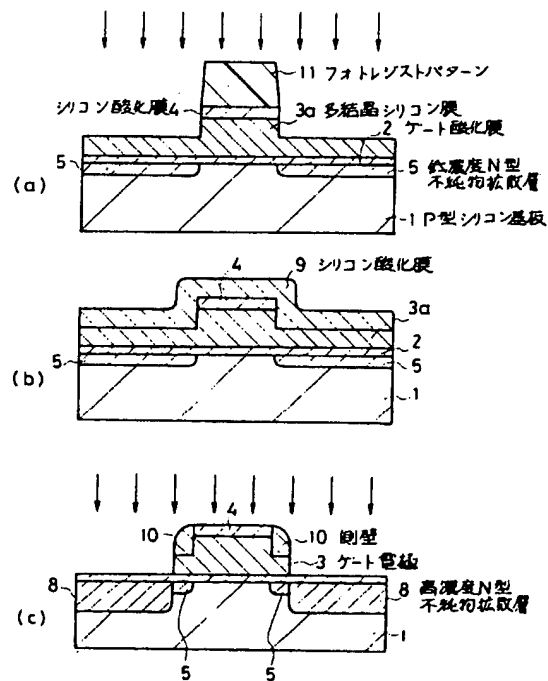
(d)

第一実施例
第1図

- | | |
|-----------------|----------------|
| 1: P型シリコン基板 | 4, 9: シリコン酸化膜 |
| 2: ゲート酸化膜 | 5: 低濃度N型不純物拡散層 |
| 3: ゲート電極 | 7, 10: 側壁 |
| 3a, 6: 多結晶シリコン膜 | 8: 高濃度N型不純物拡散層 |



第2図
実施例



第3図
従来例